

# **Document made available under the Patent Cooperation Treaty (PCT)**

International application number: PCT/KR2005/000150

International filing date: 14 January 2005 (14.01.2005)

Document type: Certified copy of priority document

Document details: Country/Office: KR

Number: 10-2004-0002849

Filing date: 15 January 2004 (15.01.2004)

Date of receipt at the International Bureau: 05 December 2006 (05.12.2006)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse



**별첨 사본은 아래 출원의 원본과 동일함을 증명함.**

**This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office**

**출 원 번 호 :** 10-2004-0002849  
**Application Number**

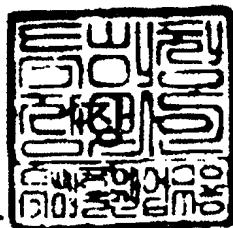
**출 원 일 자 :** 2004년 01월 15일  
**Date of Application** JAN 15, 2004

**출 원 인 :** 학교법인 포항공과대학교 외 1 명  
**Applicant(s)** POSTECH FOUNDATION, et al

2006 년 12 월 01 일

**특 허 청**

**COMMISSIONER**



【서지사항】

【서류명】 특허출원서  
【권리구분】 특허  
【수신처】 특허청장  
【참조번호】 0001  
【제출일자】 2004.01.15  
【국제특허분류】 H01L  
【발명의 국문명칭】 질화갈륨계 III - V족 화합물 반도체 소자 및 그 제조방법  
【발명의 영문명칭】 Gallium nitride-based III - V group compound semiconductor device and method of producing the same  
【출원인】  
【명칭】 서울옵토디바이스 주식회사  
【출원인코드】 1-2003-032642-0  
【발명자】  
【성명의 국문표기】 이종람  
【성명의 영문표기】 LEE, Jong Lam  
【주민등록번호】 580406-1051917  
【우편번호】 790-390  
【주소】 경상북도 포항시 남구 지곡동 756 교수숙소 E-1401  
【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다.

출원인

서울옵토디바이스 주식회사 (인)

【수수료】

【기본출원료】	17 면	38,000 원
【가산출원료】	0 면	0 원

【우선권주장료】	0 건	0 원
【심사청구료】	9 항	397,000 원
【합계】	435,000 원	
【감면사유】	소기업(70%감면)	
【감면후 수수료】	130,500 원	

## 【요약서】

### 【요약】

본 발명은 질화갈륨계 III-V족 화합물 반도체 소자 및 그 제조방법을 제공한다.

상기 질화갈륨계 III-V족 화합물 반도체 소자는 기판과, 상기 기판 상에 형성된 n형 및 p형의 GaN계 III-V족 화합물 반도체층 및 활성층으로 이루어진 반도체 소자에 있어서, 상기 p형 GaN계 III-V족 화합물 반도체층 상부에 형성되며, Ir(또는 Ni,Pt), Ag, Ru, Ni, Au 금속층이 순차적으로 적층되어 이루어진 고반사율 오믹 전극을 포함한 것을 특징으로 한다. 본 발명의 Me(=Ir, Ni, Pt)/Ag/Ru/Ni/Au 오믹 전극은 산소 분위기 열처리를 통해 반사막 특성과 낮은 접촉저항 특성을 동시에 얻을 수 있는 전극형성공정을 포함한다. 상기에서 Ru/Ni/Au 중첩층은 산소 분위기 열처리시 Ag 반사층의 외부 확산과 산화를 방지하여 상기 오믹 전극의 반사율과 열적 안정을 증대시키는 역할을 한다.

이러한 Me(=Ir, Ni, Pt)/Ag/Ru/Ni/Au 오믹 전극을 채용하면, 소자 특성과 신뢰성이 동시에 개선된 질화갈륨계 III-V족 화합물 반도체 소자를 얻을 수 있게 된다.

### 【대표도】

도 1

【색인어】

질화갈륨계 화합물 반도체, p형 전극, 산소 분위기 열처리, Me(=Ir, Ni, Pt)/Ag/Ru/Ni/Au

## 【명세서】

### 【발명의 명칭】

질화갈륨계 III - V 족 화합물 반도체 소자 및 그 제조방법{Gallium nitride-based III - V group compound semiconductor device and method of producing the same}

### 【도면의 간단한 설명】

- <1> 도 1은 본 발명의 실시 예에 따른 질화갈륨계 화합물 반도체층의 p형 오믹 전극의 개략적인 단면도.
- <2> 도 2는 본 발명에 따라 제조된 오믹 전극의 열처리 분위기에 따른 전류-전압 곡선.
- <3> 도 3은 본 발명에 따라 제조된 오믹전극과 종래 기술에 따른 Ni/Au 오믹 전극의 열처리 온도에 따른 접촉 저항 변화.
- <4> 도 4는 본 발명에 따라 제조된 오믹전극과 종래 기술에 따른 Ni/Au 오믹 전극의 빛 반사율.
- <5> 도 5는 본 발명에 따라 제조된 오믹전극의 열처리 분위기에 따른 이차 이온-질량 분석법(secondary ion-mass spectroscopy: SIMS) 깊이 분석 결과.
- <6> 도 6은 본 발명에 따라 제조된 오믹전극과 종래 기술에 따른 Ni/Au 오믹 전극을 이용하여 제조된 Flip-chip 형 발광다이오드의 작동전압과 광세기.
- <7> 도 7은 본 발명에 따라 제조된 오믹전극과 종래 기술에 따른 Ni/Au 오믹 전

극을 이용하여 제조된 수직구조형 발광다이오드의 작동전압.

<8> 도 8은 본 발명에 따라 제조된 오믹전극과 종래 기술에 따른 Ni/Au 오믹 전극을 이용하여 제조된 수직구조형 발광다이오드.

#### 【발명의 상세한 설명】

##### 【발명의 목적】

##### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<9> 본 발명은 질화갈륨계 화합물 반도체 소자 및 그 제조방법에 관한 것으로서, 특히, 낮은 접촉 저항과 고반사율을 가지면서 열적으로 안정한 Me(=Ir,Ni,Pt)/Ag/Ru/Ni/Au 오믹 전극을 갖는 질화갈륨계 III-V족 화합물 반도체 소자 및 그 제조방법에 관한 것이다.

<10> 최근 질화갈륨계 반도체를 이용한 발광다이오드(LED)가 백열등, 형광등, 수은등과 같은 기존의 광원을 대체할 수 있다는 전망이 지배적으로 형성되면서, 고출력 GaN LED에 대한 연구가 활발히 진행되고 있다. 일반적으로 GaN LED 박막층은 부도체인 사파이어 기판 상에 성장되기 때문에, LED 소자는 수평구조를 지니고 있다. 따라서, 고출력 동작 시 전류 확산저항(current spreading-resistance)이 커서 동작 전압이 높아지고, 광출력이 낮아지는 단점이 있다. 또 소자 동작 시 발생되는 열이 사파이어 기판을 통해 원활히 제거되지 못하여 소자의 열적 안정성이 저하된다.

<11> 이러한 단점을 극복하여 고출력 GaN LED를 구현하는 한 가지 방법이 플립칩

패키지(flip-chip package)이다. 플립칩 구조에서는 LED의 활성층에서 나온 빛이 사파이어 기판을 통해 위쪽으로 나오기 때문에, 투명 전극 대신 두꺼운 p형 오믹 전극의 사용이 가능하게 되어 전류 확산 저항을 낮출 수 있다. 이 때 p형 오믹 전극으로 사용되는 물질은 빛의 흡수가 적고 반사도가 뛰어나야 한다. 은(Ag) 또는 알루미늄(Al)과 같이 반사도가 90 %를 넘는 금속들은 대부분 일함수가 작기 때문에, p형 GaN오믹 전극의 접합 금속으로는 부적합하다. 한편, InGaN LED 소자 관련하여, 기존의 p형 투명 전극에 비해 고반사율 p형 오믹 전극에 대한 연구는 매우 미흡한 실정이다.

<12> 최근 발표된 연구 결과에 따르면 (Appl. Phys. Lett. vol. 83, p. 311 (2003)) 기존의 Ni/Au 투명 전극 위에 Al과 Ag 반사막을 증착할 경우, 푸른색 빛 영역에서 70 % 이상의 반사도를 얻을 수 있었다. 하지만 100 °C 이상의 온도에서 전극의 특성이 급격히 저하되는 단점을 보였다.

#### 【발명이 이루고자 하는 기술적 과제】

<13> 따라서, 본 발명의 목적은 상기 단점을 해결하기 위하여 열적 안정성과 접촉 저항 특성이 개선되고 반사율이 극대화된 오믹 전극을 제공하여, 이를 소자에 적용 시켜 소자의 성능을 향상시키는 질화갈륨계 III - V족 화합물 반도체 소자 및 그 제조방법을 제공함에 있다.

<14> 상기 목적을 달성하기 위한 본 발명에 따른 질화갈륨계 III - V족 화합물 반도체 소자는 기판, n형과 p형 질화갈륨층 및 활성층을 구비하는 질화갈륨계 반도체 소자에 상기 p형 질화갈륨층 상의 소정 부분에 Me(=Ir, Ni, Pt)/Ag/Ru/Ni/Au 오

믹 전극을 포함하는 것을 특징으로 한다.

- <15> 상기 목적을 달성하기 위한 질화갈륨계 III - V족 화합물 반도체 소자의 제조 방법은 기판 상에 활성층을 포함한 n형 및 p형 질화갈륨층을 형성하는 공정과, 상기 p형 질화갈륨층 상에...

### 【발명의 구성】

- <16> 이하, 도면을 참조하여 본 발명을 상세히 설명한다.

- <17> 도 1은 본 발명의 실시 예에 따른 오믹전극 구조를 개략적으로 도시하는 단면도이다.

- <18> 도시된 바와 같이, 기판(11) 상에 순차적으로 n형 질화갈륨층(12), 활성층(13) 및 p형 질화갈륨층(14)이 형성되어 있고, 상기 p형 질화갈륨층(14) 상의 소정 부분에 Me/Ag/Ru/Ni/Au (Me = Ir, Ni, Pt)금속(15)(16)(17)(18)(19)을 순서대로 증착하여 오믹전극층을 형성한다. 상기 오믹전극층의 총두께는 2000 ~ 5000 Å이고, 상기 Me층(15)은 200 Å 이내, Ag층(16)의 두께는 1000 Å ~ 2000 Å이고, 상기 Ru층(17)의 두께는 100 Å ~ 800 Å인 것이 바람직하다. Ni층(18)과 Au층(19)의 두께는 각각 1000 Å 이내로 하는 것이 적합하다.

- <19> 상기 다층의 오믹전극을 형성하는 방법으로는 사파이어 기판 상에 순차적으로 n형 질화갈륨층(12), 활성층(13) 및 p형 질화갈륨층(14)을 형성하고, 상기 p형 질화갈륨(14)을 유도 결합 플라즈마(ICP)로 메사 에칭하여 표면 처리, lithography 작업, 금속박막 증착 및 lift-off 공정을 거쳐 정해진 금속전극 패턴을 제조하는

과정을 거친다. p형 질화갈륨층(14)의 표면처리는 왕수( $\text{HCl}:\text{H}_2\text{O} = 3:1$ ) 수용액에 p형 질화갈륨층(14)을 10분 동안 담근 후 탈이온수 세척, 질소로 건조하는 과정으로 실시하였다.

<20> 금속의 증착 전 염산을 탈이온수를 1:1로 섞은 용액에 1분 동안 담궈서 표면을 처리한 후, 전자선 증착장치(e-beam evaporator)에 장입하고,  $\text{Me/Ag/Ru/Ni/Au}$  ( $\text{Me} = \text{Ir}, \text{Ni}, \text{Pt}$ )금속층을 순서대로 증착하여 오믹전극을 형성한다. 그리고, 상기 오믹 전극을 급속 열처리(rapid thermal annealing) 장비를 이용하여 산소 분위기 또는 산소를 5 % 이상 포함하는 분위기에서  $100 \sim 700^\circ\text{C}$ 에서 10초이상 열처리한 후, 전기적 특성을 측정하여 오믹 전극의 접촉저항을 계산한다.

<21> 상기 질화갈륨계 III - V족 화합물 반도체는 특히  $\text{GaN}$ ,  $\text{InGaN}$ ,  $\text{AlGaN}$ ,  $\text{AlInGaN}$ 로 이루어진 군으로부터 선택된 하나 이상인 것이 바람직하며, 상기 기판은 사파이어 기판, 실리콘 카바이드( $\text{SiC}$ ) 기판, 실리콘( $\text{Si}$ ) 기판, 아연 산화물( $\text{ZnO}$ ) 기판, 갈륨 비소화물( $\text{GaAs}$ ) 기판 또는 갈륨 인화물(gallium phosphide)( $\text{GaP}$ ) 기판인 것이 바람직하며, 특히 사파이어 기판을 사용하는 것이 보다 바람직하다.

<22> 도 2는  $500^\circ\text{C}$  산소, 질소 분위기에서 각각 2분간 열처리하였을 때,  $\text{Me}(\text{=Ir}, \text{Ni}, \text{Pt})/\text{Ag/Ru/Ni/Au}$  p형 전극의 전류-전압 곡선을 보여주고 있다. 질소 분위기 열처리에 비해 산소 분위기 열처리 후, 전류-전압 특성이 크게 향상되어 오믹 특성을 나타내게 되었다.

<23> 도 3은 산소 분위기 열처리시 온도에 따른  $\text{Me}(\text{=Ir}, \text{Ni}, \text{Pt})/\text{Ag/Ru/Ni/Au}$ 와 기존의  $\text{Ni}(200 \text{ \AA})/\text{Au}(1000 \text{ \AA})$  p형 오믹전극의 접촉 저항의 변화를 나타낸 그래프

이다.

<24> 500 °C 열처리 후,  $7 \times 10^{-5}$  Ωcm<sup>-1</sup> 의 낮은 접촉 저항값을 얻을 수 있었다.

주목할 것은 고온 열처리 시 기존의 Ni/Au 전극의 접촉 저항은 급격히 증가하는 반면에, Me/Ag/Ru/Ni/Au 전극은 접촉 저항의 증가가 상대적으로 매우 낮다는 것이다.

<25> 이는 본 발명에서 개발된 Me/Ag/Ru/Ni/Au 다층 p형 오믹 전극의 열적 안정성이 매우 뛰어나다는 것을 보여준다.

<26> 도 4는 Me/Ag, Me/Ag/Ru, Me/Ag/Ru/Ni/Au 오믹 전극과 기존의 Ni/Au p형 오믹 전극의 빛의 파장에 따른 반사도 측정 결과이다. 470 nm 파장에서 측정된 빛의 반사도는 Me/Ag와 Me/Ag/Ru의 경우 75 %에 지나는 않는 반면에, Me/Ag/Ru/Ni/Au의 경우 90 %의 낮은 반사도를 나타내었다. 주목해야 할 것은 기존의 Ni/Au 오믹 전극은 그 반사율이 50 %에 지나지 않는다는 것이다. 이러한 결과는 본 발명에서 개발된 Me/Ag/Ru/Ni/Au p형 전극이 플립칩 LED의 고반사율 전극으로서 매우 적합함을 단적으로 보여주고 있다.

<27> 도 5는 500 °C에서 2분간 열처리한 후 이차이온 질량분석법을 이용하여 Ir/Ag/Ru/Ni/Au 오믹전극의 깊이 방향 분석 결과이다.

<28> 질소 분위기 열처리에 비해 산소 분위기 열처리 후 갈륨의 외부 확산이 매우 크다는 것은 산소 분위기 열처리후 GaN와 금속과의 계면에 갈륨 빙자리가 더 많이 생성될 수 있다는 것을 의미한다. 갈륨 빙자리는 홀을 생성하는 억셉터 역할을 하므로 산소 분위기 열처리 후 접촉 저항이 더 낮아질 수 있었다. 질소와 산소 분위

기 열처리 후에도 Ag층의 표면으로 외부 확산이 되지 않았다는 것은 Ru층이 Ag의 확산 방지막 역할을 하였다는 것을 말해주며, 산소 열처리 후 Ag<sub>2</sub>O가 생성되지 않았다는 것은 Ag층이 반사층으로서의 제 역할을 다할 수 있었다는 것을 의미한다. 이러한 연유로 발명된 오믹 전극을 통해 높은 빛반사도와 뛰어난 열적 안정성을 획득 할 수 있었다.

<29> 도 6은 Me/Ag/Ru/Ni/Au과 Ni/Au p형 오믹 전극을 이용하여 제작된 300 μm × 300 μm InGaN 플립칩형 LED의 작동 전압과 광출력을 나타낸 그래프이다. 삽도는 제작된 LED의 광측정 방법을 모식적으로 나타낸 것이다. 20 mA 인가 전류에서 LED의 작동 전압은 3.73 V에서 3.65 V로 낮아졌으며, 광출력은 16에서 31로 크게 증가하였다. 따라서 기존의 Ni/Au 전극 대신 Me/Ag/Ru/Ni/Au 고반사율 오믹 전극을 사용할 경우, 질화갈륨계 III-V족 화합물 반도체 LED 소자의 특성을 크게 향상시킬 수 있다.

<30> 도 7과 도 8은 Me/Ag/Ru/Ni/Au과 Ni/Au p형 오믹 전극을 이용하여 제작된 300 μm × 300 μm InGaN 수직형 구조 LED의 작동 전압과 광출력을 나타낸 그래프이다. 도 7 안에는 수직 구조형 LED의 단면 구조가 묘사되어 있고, 도 8 안에는 제작된 수직구조형 LED 사진이 있다.

<31> Me/Ag/Ru/Ni/Au 고반사율 오믹 전극을 사용할 경우, 20 mA 인가 전류에서 LED의 작동 전압은 약 0.1 V 낮아졌으며, 광출력은 약 30 % 증가하였다.

#### 【발명의 효과】

<32> 따라서, 상술한 바와 같이 본 발명의 Me(=Ir,Ni,Pt)/Ag/Ru/Ni/Au 오믹 전극

은 산소 열처리 후 낮은 접촉을 나타내었으며, 동시에 뛰어난 열적 안정성과 ~90%의 고반사도를 나타내었다. 이러한 Me/Ag/Ru/Ni/Au 오믹 전극을 채용하면 신뢰성이 개선된 질화갈륨계 III - V족 화합물 반도체 소자를 얻을 수 있는 이점이 있다.

## 【특허청구범위】

### 【청구항 1】

질화갈륨계 III - V족 화합물 반도체층을 이용하는 소자에 있어서,  
p형 오믹 전극 금속으로 Me(Ni, Ir, Pt), Ag, Ru, Ni, Au 금속 박막 다층을  
포함하는 것을 특징으로 하는 질화갈륨계 III - V족 화합물 반도체 소자.

### 【청구항 2】

청구항 1항에 있어서,  
상기 Me의 두께는 5 ~ 500 Å, Ag의 두께는 100 ~ 9000 Å, Ru의 두께는  
50 ~ 1000 Å, Ni의 두께는 100 ~ 3000 Å, Au의 두께는 100 ~ 9000 Å인 것을  
특징으로 하는 질화갈륨계 III - V족 화합물 반도체 소자.

### 【청구항 3】

청구항 1항에 있어서,  
상기 (Ni, Ir, Pt) 대신 Pd, Au, Ti, Ru, W, Ta, V, Co, Os, Re, Rh 중 한  
종류의 금속, 또는 서로 다른 2종류의 금속을 교대로 사용하는 것을 특징으로 하는  
질화갈륨계 III - V족 화합물 반도체 소자.

### 【청구항 4】

청구항 1에 있어서,  
상기 Ru 대신 Ir, Re, Rh, Os, V, Ta, W, ITO (Indium Tin Oxide), IZO  
(Indium Zinc oxide) 등을 사용하는 것을 특징으로 하는 질화갈륨계 III - V족 화합

물 반도체 소자.

【청구항 5】

청구항 1항에 있어서,

Ru 대신  $\text{IrO}_2$ ,  $\text{ReO}_2$ ,  $\text{RhO}_2$ ,  $\text{OsO}_2$ ,  $\text{Ta}_2\text{O}_3$ ,  $\text{WO}_2$  등을 사용하는 것을 특징으로 하는 질화갈륨계 III - V족 화합물 반도체 소자.

【청구항 6】

청구항 1에 있어서,

상기 p형 오믹 전극을 플립칩 구조의 질화갈륨계 LED전극으로 사용하는 것을 특징으로 하는 질화갈륨계 III - V족 화합물 반도체 소자.

【청구항 7】

청구항 1에 있어서,

상기 p형 오믹 전극을 수직구조형 구조의 질화갈륨계 LED 전극으로 사용하는 것을 특징으로 하는 질화갈륨계 III - V족 화합물 반도체 소자.

【청구항 8】

활성층을 포함한 n형 및 p형 질화갈륨층이 형성된 질화갈륨계 III - V족 화합물 반도체 소자에 있어서,

상기 p형 질화갈륨층 상에  $\text{Me}(\text{Ni}, \text{Ir}, \text{Pt})$ ,  $\text{Ag}$ ,  $\text{Ru}$  금속층을 순차적으로 증착하고 산소 분위기로 열처리하는 공정과,

상기 Ru 금속층 상에  $\text{Ni}$ ,  $\text{Au}$ 에 해당하는 층을 증착하는 공정을 포함하여 이

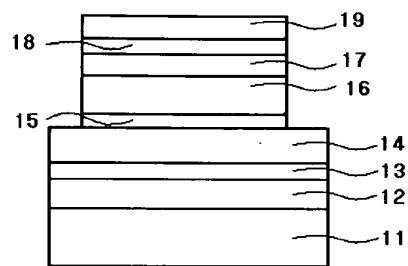
루어지는 질화갈륨계 III - V족 화합물 반도체 소자의 제조 방법.

【청구항 9】

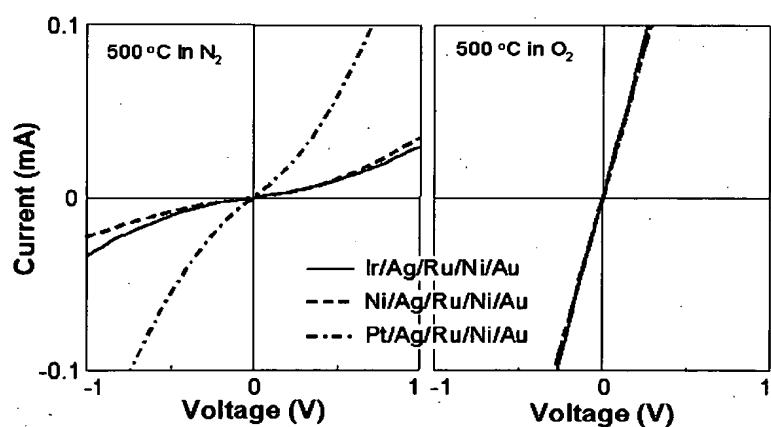
청구항 8에 있어서, 상기 열처리는 산소 분위기 또는 산소가 5 % 이상 포함하는 분위기에서 100 ~ 700 °C에서 10초 이상 하는 것을 특징으로 하는 질화갈륨계 III - V족 화합물 반도체 소자의 제조 방법.

【도면】

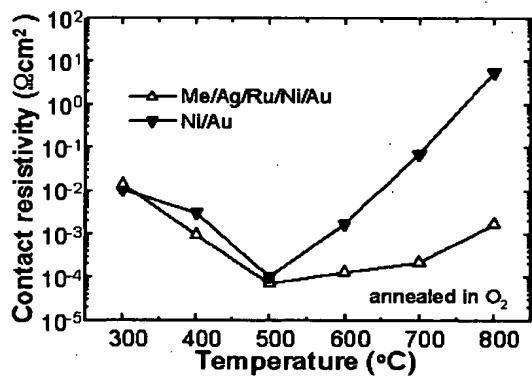
【도 1】



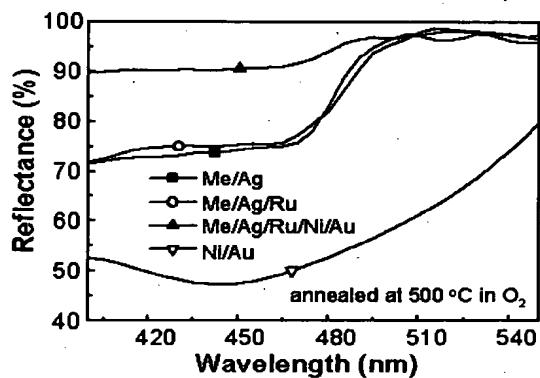
【도 2】



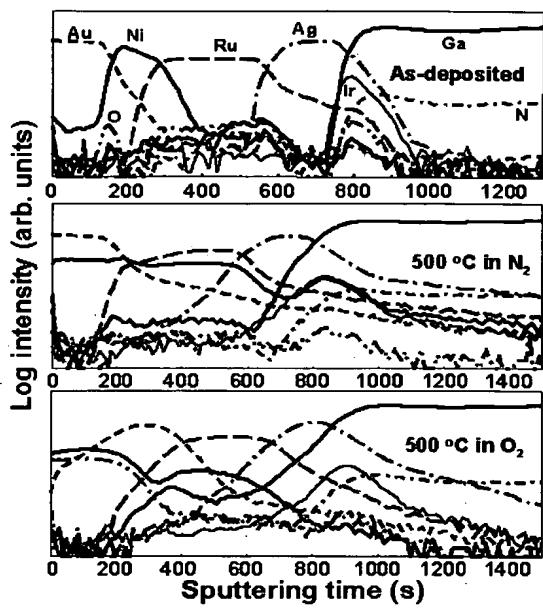
【도 3】



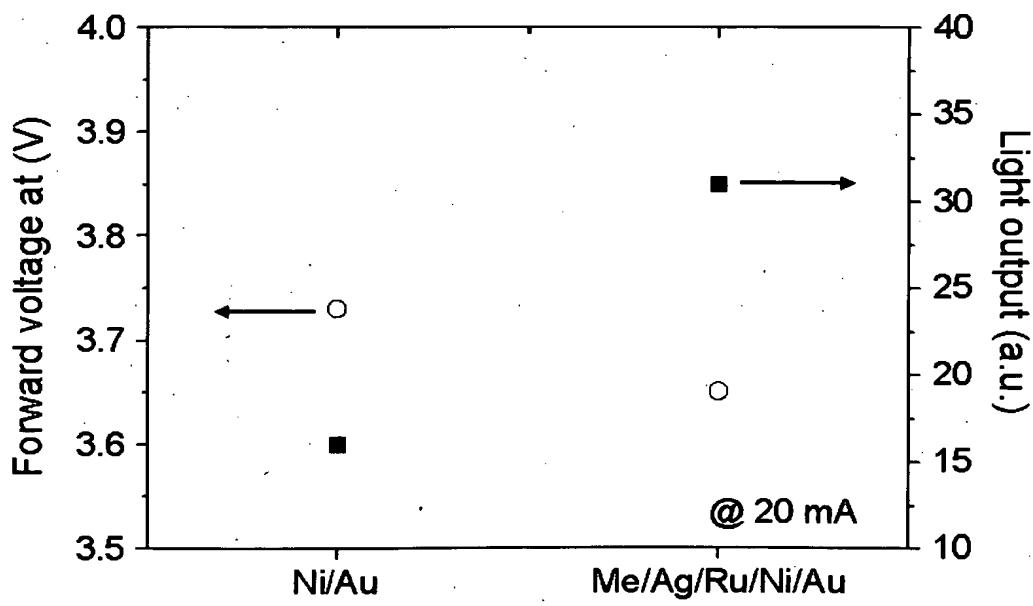
【도 4】



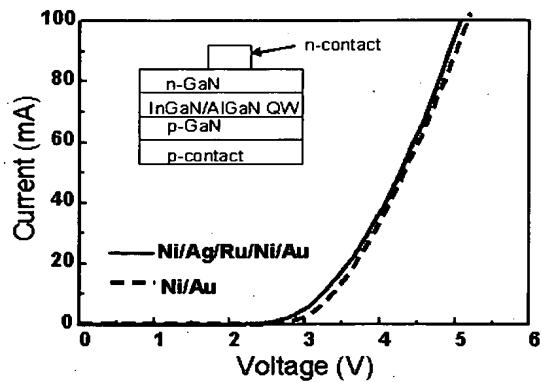
【도 5】



【도 6】



【도 7】



【도 8】

